

S miconductor m mory d vice

Patent Number: ☐ US6233192
Publication date: 2001-05-15
Inventor(s): TANAKA HIDEHIKO (JP)
Applicant(s): SHARP KK (US)
Requested Patent: ☐ JP11250657
Application Number: US19990263050 19990305
Priority Number(s): JP19980053119 19980305
IPC Classification: G11C7/00
EC Classification: G11C11/406
Equivalents:

Abstract

The present invention is to provide a method for designating a memory bank to be refreshed efficiently and a start and termination procedure of a self-refresh. In a dynamic RAM including a plurality of memory banks 200A, 200B, memory access actions being allowed to be independently on the respective memory banks, and a refresh control circuit for allowing the plurality of memory banks 200A, 200B to be refreshed in a lump and for allowing one memory bank 200A or 200B of the plurality of memory banks designated to be refreshed, a semiconductor memory device is configured such that when a row address input terminal or one of specific input terminals other than the row address input terminal is at a high level, the plurality of memory banks are refreshed in a lump; and when the row address input terminal or one of specific input terminals other than the row address input terminal is at a low level, one of the plurality of memory banks is designated to be refreshed in accordance with a bank selecting bit composed of one bit or a combination of a plurality of bits of row addresses other than the row address

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-250657

(43)公開日 平成11年(1999)9月17日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

11/401

3 6 2 H

11/406

3 6 3 K

11/403

3 6 3 M

審査請求 未請求 請求項の数 8 OL (全 12 頁)

(21)出願番号

特願平10-53119

(22) 出願目

平成10年(1998)3月5日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72)発明者 田中 嗣彦

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

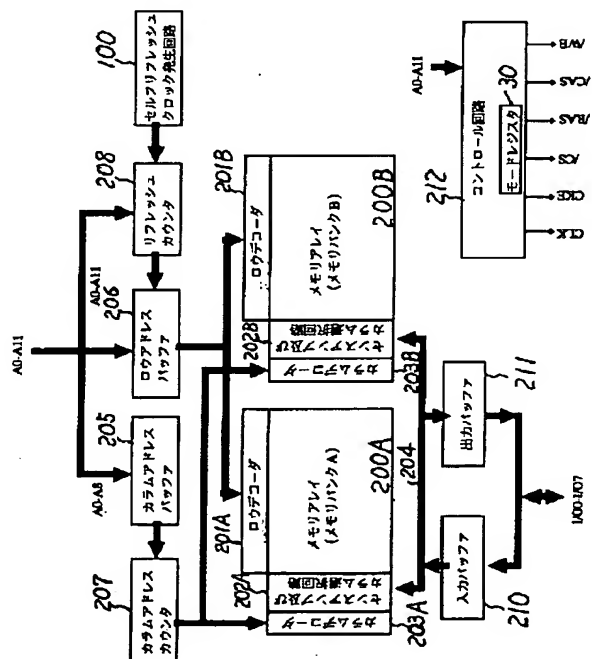
(74)代理人 弁理士 小池 隆彌

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 リフレッシュを行なわせるメモリバンクを効率的に指定する方法、及びセルフリフレッシュの開始及び終了手順を提供すること。

【解決手段】 それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンク200A、200Bと、上記複数のメモリバンク200A及び200Bを一括したリフレッシュ、及び上記複数のメモリバンクのうち一方のメモリバンク200A又は200Bを指定したリフレッシュを可能とするリフレッシュ制御回路とを備える同期型ダイナミック型RAMにおいて、ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがハイレベルの時は、前記複数のメモリバンクを一括してリフレッシュし、上記ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがロウレベルの時は、上記以外のロウアドレスの1ビット或いは複数ビットの組み合わせからなるバンク選択ビットにより上記複数のメモリバンクのうち1つのメモリバンクを指定したリフレッシュを行わせる構成とする。



【特許請求の範囲】

【請求項1】 それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンクと、上記複数のメモリバンクを一括したリフレッシュ及び上記複数のメモリバンクのうち1乃至複数のメモリバンクを指定したリフレッシュを可能とするリフレッシュ制御回路とを備える同期型ダイナミックRAMにおいて、

特定の入力端子が第1レベルの時は、上記複数のメモリバンクを一括してリフレッシュし、

上記特定の入力端子が第2レベルの時は、上記特定の入力端子以外端子より入力される1ビット或いは複数のビットの組み合わせから成るバンク選択ビットにより上記複数のメモリバンクのうち1つのメモリバンクを指定したリフレッシュを行うことを特徴とする同期型半導体記憶装置。

【請求項2】 それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンクと、上記複数のメモリバンクを一括したリフレッシュ及び上記複数のメモリバンクのうち1乃至複数のメモリバンクを指定したリフレッシュを可能とするリフレッシュ制御回路とを備える同期型ダイナミックRAMにおいて、

ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがハイレベルの時は、上記複数のメモリバンクを一括してリフレッシュし、

上記ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがロウレベルの時は、上記以外のロウアドレスの1ビット或いは複数のビットの組み合わせから成るバンク選択ビットにより上記複数のメモリバンクのうち1つのメモリバンクを指定したリフレッシュを行うことを特徴とする同期型半導体記憶装置。

【請求項3】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS及びカラムアドレスストロブ信号バーCASをローレベル、ライトイネーブル信号バーWE及びクロックイネーブル信号CKEをハイレベルにし、そのときのアドレス信号入力によりオートリフレッシュされるバンクの指定を可能とすることを特徴とする、請求項2に記載の同期型半導体記憶装置。

【請求項4】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS及びクロックイネーブル信号CKEをローレベル、ライトイネーブル信号バーWEをハイレベルにし、そのときのアドレス信号入力によりセルフリフレッシュされるバンクの指定を可能とすることを特徴とする、請求項2に記載の同期型半導体記憶装置。

【請求項5】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS及びライトイネーブル信号バーWEをローレベル、カラムアドレスストロブ信号バーC

AS及びクロックイネーブル信号CKEをハイレベルにし、そのときのアドレス信号入力によりセルフリフレッシュを終了させるバンクの指定を可能とすることを特徴とする、請求項4に記載の同期型半導体記憶装置。

【請求項6】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS及びクロックイネーブル信号CKEをローレベル、ライトイネーブル信号バーWEをハイレベルにし、そのときのアドレス信号入力によりセルフリフレッシュを終了させるバンクの指定を可能とすることを特徴とする、請求項4に記載の同期型半導体記憶装置。

【請求項7】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS、ライトイネーブル信号バーWE及びクロックイネーブル信号CKEをローレベルにし、そのときのアドレス信号入力によりセルフリフレッシュを終了させるバンクの指定を可能とすることを特徴とする、請求項4に記載の同期型半導体記憶装置。

【請求項8】 クロック信号CLKの立ち上がりに同期して、チップセレクト信号バーCS及びライトイネーブル信号バーWEをローレベル、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS及びクロックイネーブル信号CKEをハイレベルにし、そのときのアドレス信号入力によりセルフリフレッシュを終了させるバンクの指定を可能とすることを特徴とする、請求項4に記載の同期型半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、同期型半導体記憶装置に関し、特に、シンクロナスDRAM（ダイナミックRAM）に関するものである。

【0002】

【従来の技術】 マイクロプロセッサとメモリのアクセスギャップを解消するために、近年さまざまなメモリLSIが提案されているが、いずれも外部クロックに同期して入出力を行ない、データ転送速度を高めることが特徴となっている。これらの同期型メモリのうちの一つにシンクロナスDRAM（以下、「SDRAM」という）と呼ばれるものがある。

【0003】 SDRAMには、リフレッシュモードとして、オートリフレッシュとセルフリフレッシュが備えられている。

【0004】 図8は、SDRAMチップのオートリフレッシュ動作を示すタイミング図である。

【0005】 時刻t5において、ロウアドレスストロブ信号バーRAS及びカラムアドレスストロブ信号バーCASがローレベル、ライトイネーブル信号バーWE及びクロックイネーブル信号CKEがハイレベルならば

オートリフレッシュが起動される。時刻 t_6 において、時刻 t_5 と同様の信号が入力されると、また、オートリフレッシュが繰り返される。

【0006】オートリフレッシュとは、内部リフレッシュカウンタでリフレッシュアドレスを発生し、そのリフレッシュアドレスに対応する1行のメモリセルがリフレッシュされ、その後自動的にプリチャージ状態になる。全メモリセルをリフレッシュするためには通常4096回オートリフレッシュを繰り返せばよい。

【0007】図9は、SDRAMチップのセルフリフレッシュ動作を示すタイミング図である。

【0008】時刻 t_7 において、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ 、カラムアドレスストロブ信号 $\overline{\text{CAS}}$ 及びクロックイネーブル信号 CKE がローレベルになり、かつライトイネーブル信号 $\overline{\text{WE}}$ がハイレベルになってから、クロックイネーブル信号 CKE がローレベルの間セルフリフレッシュが起動される。

【0009】セルフリフレッシュとは、内部のタイマーにより、一定間隔ごとに前述のオートリフレッシュと同様の動作を自動的に行うものである。

【0010】JEDECで標準化されたリフレッシュ方式では、複数のメモリバンクが交互にリフレッシュされることになっており、それぞれのメモリバンクを同時にリフレッシュしたり、一方のメモリバンクに対するリフレッシュ動作と併行して、他方のメモリバンクに対してアクセスすることができなかった。また、リフレッシュを行なわせるバンクを指定することができなかった。

【0011】それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンクを持つ同期型DRAMに、上記複数のメモリバンクを同時にリフレッシュさせる機能を設けたり、上記複数のメモリバンクのうち1乃至複数のメモリバンクを指定してリフレッシュを可能とする機能を設けたり、リフレッシュ動作と独立に並行してメモリアクセスを行うようにするようにして、メモリ機能の向上を図る従来からの技術として、特開平9-139074、特開平7-226077、特開平8-77769、更には、特開平7-169266等がある。

【0012】図7には、従来技術の一つとして、特開平9-139074号公報に開示されたSDRAMの一構成例のブロック図が示されている。

【0013】この構成例のSDRAMは、メモリバンクA(BANKA)を構成するメモリアレイ200Aと、メモリバンク(BANKB)を構成するメモリアレイ200Bとを備える。それぞれのメモリアレイ200Aと200Bは、マトリクス配置されたダイナミック型メモリセルを備え、メモリセルはデータを記憶するキャパシタと、ゲートがワード線(図示せず)に結合され、ドレインが相補ビット線(図示せず)に結合されるMOSTランジスタとから構成される。

【0014】上記メモリアレイ200Aの図示しないワード線はロウデコード201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補ビット線はセンスアンプ及びカラム選択回路202Aに結合される。センスアンプ及びカラム選択回路202Aにおけるセンスアンプは、メモリセルからのデータ読み出しによって各々の相補ビット線に現れる微小電位差を検出して増幅する増幅回路である。それに於けるカラムスイッチ回路は、相補ビット線を各別に選択して相補共通ビット線204に接続させるためのスイッチ回路である。カラムスイッチ回路はカラムデコード203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0015】メモリアレイ200B側にも、同様に、ロウデコード201B、センスアンプ及びカラム選択回路202B、カラムデコード203Bが設けられる。

【0016】上記相補共通ビット線204は、入力バッファ210の出力端子及び出力バッファ211の入力端子に接続される。入力バッファ210の入力端子及び出力バッファ211の出力端子は、8ビットのデータ入出力端子I/O0～I/O7に接続される。

【0017】アドレス入力端子A0～A11から供給されるロウアドレス信号とカラムアドレス信号は、カラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号は、それぞれのバッファが保持する。ロウアドレスバッファ206は、リフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号を、ロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、カラムアドレスカウンタ207はコマンドで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコード203A、203Bに向けて出力する。

【0018】コントロール回路212は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号 $\overline{\text{CS}}$ 、カラムアドレスストロブ信号 $\overline{\text{CAS}}$ 、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ 、ライトイネーブル信号 $\overline{\text{WE}}$ 、データ入出力マスクコントロール信号DQM(図示せず)などの外部制御信号と、アドレス入力端子A0～A11からの制御データが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック(図示せず)とモードレジスタ30を備える。

【0019】クロック信号CLKは、SDRAMのマスタクロックとされ、その他の外部入力信号は当該内部ク

ロック信号CLKの立ち上がりエッジに同期してラッチされる。チップセレクト信号バーCSは、そのロウレベルによってコマンド入力サイクルの開始を指示する。バーRAS、バーCAS、バーWEの各信号は、通常のDRAMにおける対応信号とは機能が異なり、コマンドサイクルを設定するときに用いられる信号とされる。

【0020】クロックイネーブル信号CKEは、次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号もコントロール回路212に供給され、その信号が、例えばハイレベルのときには出力バッファ211は高インピーダンス状態にされる。

【0021】上記ロウアドレス信号は、クロック信号CLK（内部クロック信号）の立ち上がりエッジに同期するバンクアクティブコマンドサイクルにおけるA0～A10のレベルによって定義される。A11からの入力は、上記バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。すなわち、A11の入力がロウレベルの時はメモリバンクBANK Aが選択され、ハイレベルの時はメモリバンクBANK Bが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ210及び出力バッファ211への接続などの処理によって行うことができる。

【0022】プリチャージコマンドサイクルにおけるA10の入力は相補ビット線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、A11で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【0023】上記カラムアドレス信号は、クロック信号CLK（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるA0～A8のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0024】SDRAMは、次の2つのリフレッシュコマンドを備える。

【0025】（1）リフレッシュコマンド1

このコマンドは、オートリフレッシュを開始するために必要とされるコマンドであり、バーCS、バーRAS、バーCAS＝ロウレベル、バーWE、CKE＝ハイレベルによって指示される。このオートリフレッシュコマンドでは、上記2つのメモリアレイ200Aと200B

（メモリバンクAとB）が一括して同時にリフレッシュされる。

【0026】（2）リフレッシュコマンド2

このコマンドは、メモリバンク毎にオートリフレッシュを開始するために必要とされるコマンドであり、上記コマンド1とは異なるように、例えば、バーCS、バーRAS、バーCAS＝ロウレベル、バーWE、CKE＝ロウレベルによって指示される。このオートリフレッシュコマンドでは、モードレジスタ30の特定のビットが参照される。例えば、上記特定のビットが0ならメモリアレイ200Aがリフレッシュされ、上記特定ビットが1ならメモリアレイ200Bがリフレッシュされる。この他、例えば信号DQMがロウレベルならメモリアレイ200Aがリフレッシュされ、信号DQMがハイレベルならメモリアレイ200Bがリフレッシュされる。

【0027】図7において、リフレッシュ動作では、ロウ系のアドレス選択のみが行われる。すなわち、リフレッシュカウンタ208により発生されたアドレス信号が上記外部からのアドレス信号に代わってロウアドレスバッファ206に取り込まれて、前記のようなリフレッシュコマンド1が入力されたならば、メモリアレイ200Aと200Bのワード線の選択動作と、センスアンプの増幅動作が行われる。すなわち、上記2つのメモリアレイ200Aと200Bにおける選択されたワード線に接続されたダイナミック型メモリセルの記憶情報が、センスアンプによりセンスされるとともに増幅されて、元のメモリセルに書き込み（リフレッシュ）される。或いは、前記のようなリフレッシュコマンド2が入力されたならば、信号DQMにより指定され、或いはモードレジスタ30により指定されたメモリアレイ200A又は200Bの一方のワード線の選択動作と、センスアンプの増幅動作が行われる。

【0028】上記リフレッシュコマンド2において、例えば、メモリアレイ200A（メモリバンクA）に対してリフレッシュ動作を行わせるとき、他方のメモリアレイ200B（メモリバンクB）において別のコマンドによるリード／ライトができるようにされる。例えば、前記のようなバーストモードでは、メモリアレイ200B（メモリバンクB）は既にワード線の選択動作が行われており、内蔵のカラムアドレスカウンタ207により形成されたアドレスに従ってリード／ライトが行われる。

【0029】上記複数のメモリバンクの一括したリフレッシュ動作、及びそのうちの1乃至複数のメモリバンクを指定したリフレッシュ動作は、制御信号の組み合わせにより指定されるコマンドにより行わせることにより、シンクロナスDRAMのインターフェイスに則して使い勝手を良くすることができる。

【0030】上記リフレッシュが行われるメモリバンクの指定は、制御信号の組み合わせによるリフレッシュコマンドに従い、予めレジスタに記憶されているメモリバ

ンクの指定情報を参照して行わせることにより、種々の組み合わせのリフレッシュ動作を簡単な構成により実現できる。

【0031】

【発明が解決しようとする課題】上述のように、1つのメモリバンクでリード／ライト等のアクセス動作をしているときに、別のメモリバンクでオート或いはセルフリフレッシュを行なうことができる。しかしながら、オートリフレッシュされるメモリバンクを、モードレジスタの設定によって行なわなければならないかつ、また、セルフリフレッシュされるバンクの指定や、セルフリフレッシュの終了手順については示されていないかつ。

【0032】本発明は、リフレッシュを行なわせるメモリバンクを効率的に指定する方法、及びセルフリフレッシュの開始及び終了手順を提供することを目的とする。

【0033】

【課題を解決するための手段】本発明の同期式半導体記憶装置は、それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンクと、上記複数のメモリバンクを一括したリフレッシュ及び上記複数のメモリバンクのうち1乃至複数のメモリバンクを指定したリフレッシュを可能とするリフレッシュ制御回路とを備える同期型ダイナミックRAMにおいて、特定の入力端子が第1レベルの時は、上記複数のメモリバンクを一括してリフレッシュし、上記特定の入力端子が第2レベルの時は、上記特定の入力端子以外の端子より入力される1ビット或いは複数のビットの組み合わせから成るバンク選択ビットにより上記複数のメモリバンクのうち1つのメモリバンクを指定したリフレッシュを行わせることを特徴とするものである。

【0034】更に述べるならば、本発明の同期式半導体記憶装置は、それぞれが独立してメモリアクセス動作が可能にされてなる複数のメモリバンクと、上記複数のメモリバンクを一括したリフレッシュ及び上記複数のメモリバンクのうち1乃至複数のメモリバンクを指定したリフレッシュを可能とするリフレッシュ制御回路とを備える同期型ダイナミック型RAMにおいて、ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがハイレベルの時は、前記複数のメモリバンクを一括してリフレッシュし、上記ロウアドレス入力端子或いはそれ以外の特定の入力端子の1つがロウレベルの時は、上記以外のロウアドレスの1ビット或いは複数ビットの組み合わせからなるバンク選択ビットにより上記複数のメモリバンクのうち1つのメモリバンクを指定したリフレッシュを行わせることを特徴とするものである。

【0035】かかる本発明の同期式半導体記憶装置によれば、例えば、16MシンクロナスDRAMにおいて、チップセレクト信号バーCS、ロウアドレスストローブ信号バーRAS及びカラムアドレスストローブ信号バーCASがローレベル、ライトイネーブル信号バーWE及

びクロックイネーブル信号CKEがハイレベルの時に、上記の信号及びアドレス入力信号がリフレッシュ制御回路においてデコードされ、各バンクの1行のオートリフレッシュが実行される。A10がハイレベルのときは、2つのバンクが両方ともリフレッシュされ、ロウレベルのときは、A11で選択されたバンクだけがリフレッシュされる。すなわち、A11がロウレベルのときは、バンクAがリフレッシュされ、ハイレベルのときは、バンクBがリフレッシュされる。

【0036】また、チップセレクト信号バーCS、ロウアドレスストローブ信号バーRAS、カラムアドレスストローブ信号バーCAS及びクロックイネーブル信号CKEがローレベルになり、かつライトイネーブル信号バーWEがハイレベルの時に、上記の信号及びアドレス入力信号がリフレッシュ制御回路においてデコードされ、各バンクのセルフリフレッシュが実行される。A10がハイレベルのときは、2つのバンクが両方ともセルフリフレッシュされ、ロウレベルのときは、A11で選択されたバンクだけがセルフリフレッシュされる。すなわち、A11がロウレベルのときは、バンクAがセルフリフレッシュされ、ハイレベルのときは、バンクBがセルフリフレッシュされる。

【0037】

【発明の実施の形態】図1は、本発明に於けるシンクロナスDRAMの基本構成のブロック図である。従来技術である図7と比べて、セルフリフレッシュクロック発生回路100が追加されているだけで、それ以外は同一である。

【0038】図2は、本発明に於ける16MシンクロナスDRAMのオートリフレッシュ動作を示すタイミング図である。

【0039】時刻t1において、チップセレクト信号バーCS、ロウアドレスストローブ信号バーRAS及びカラムアドレスストローブ信号バーCASがローレベル、ライトイネーブル信号バーWE及びクロックイネーブル信号CKEがハイレベルであることは、従来のJEDEC標準と同様である。上記の信号及びアドレス入力信号がコントロール回路212においてデコードされ、各メモリバンクの1行のリフレッシュが実行される。A10がハイレベルのときは、2つのバンクが両方ともリフレッシュされ、ロウレベルのときは、A11で選択されたバンクだけがリフレッシュされる。すなわち、A11がロウレベルのときは、バンクAがリフレッシュされ、ハイレベルのときは、バンクBがリフレッシュされる。

【0040】図2では、時刻t1において、A10がロウレベル、A11がハイレベルであるので、バンクBがリフレッシュされる。また、時刻t4において、A10をロウレベル、A11をハイレベルにして、バンクBをリフレッシュすることができる。ここで、時刻t1と時刻t4の間隔T1は、オートリフレッシュ動作間に必要

な時間間隔であり、最小もRC（バーRASの立ち下がり時刻から、バーCASの立ち下がり時刻までの最小遅延時間）以上必要である。

【0041】本発明では、それと併行して、時刻も2において、ロウアドレスストロブ信号バーRASをロウレベル、カラムアドレスストロブ信号バーCASをハイレベル、A11をロウレベルにし、時刻も3において、ロウアドレスストロブ信号バーRASをハイレベル、カラムアドレスストロブ信号バーCASをロウレベル、A11をロウレベルにし、必要なカラムアドレスA10-A0を入力してバンクA内のあるカラムアドレスに対してリード動作を実行することができる。図2の時刻も4において、バンクAからのリードデータがDQから出力されるのと同時に、バンクBのオートリフレッシュコマンドが入力されていることに注意が向けられるべきである。

【0042】図3は、本発明に於ける16MシンクロナスDRAMのセルフリフレッシュ動作を示すタイミング図である。

【0043】時刻も5において、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS及びクロックイネーブル信号CKEがローレベルになり、かつライトイネーブル信号バーWEがハイレベルになり、セルフリフレッシュが起動されることは、JEDEC標準と同様である。上記の信号及びアドレス信号がコントロール回路212においてデコードされ、各メモリバンクのセルフリフレッシュが実行される。A10がハイレベルのときは、2つのバンクが両方ともセルフリフレッシュされ、ロウレベルのときは、A11で選択されたバンクだけがセルフリフレッシュされる。すなわち、A11がロウレベルのときは、バンクAがセルフリフレッシュされ、A11がハイレベルのときは、バンクBがセルフリフレッシュされる。セルフリフレッシュクロック発生回路100からのリフレッシュクロック周期毎に、リフレッシュカウンタ208がインクリメントされ、各バンクの対応するロウアドレスがリフレッシュされる。

【0044】また、JEDEC標準では、セルフリフレッシュの間、クロックイネーブル信号CKEはロウレベルに保持されなければならないが、本発明では保持しておく必要はない。勿論、CKEをロウレベルに保持して、パワーダウンモードに入ることは可能である。但し、その場合は、どちらのバンクに対してもコマンド入力不可である。

【0045】図3では、時刻も5において、A10がロウレベル、A11がハイレベルであるので、バンクBがセルフリフレッシュされる。本発明では、それと併行して、時刻も6において、クロックイネーブル信号CKEをハイレベル、ロウアドレスストロブ信号バーRASをロウレベル、カラムアドレスストロブ信号バーCA

Sをハイレベル、A11をロウレベルにし、必要なローアドレスA10-A0を入力して、バンクA内の或るローアドレスをアクティブにし、更に、時刻も7において、クロックイネーブル信号CKEをハイレベル、ロウアドレスストロブ信号バーRASをハイレベル、カラムアドレスストロブ信号バーCASをロウレベル、A11をロウレベルにし、必要なカラムアドレスA9-A0を入力して、バンクA内の或るカラムアドレスに対してリード動作を実行している。

【0046】セルフリフレッシュ動作を終了させる手順の例は次の通りである。

【0047】バンクプリチャージコマンドと同様に、クロックイネーブル信号CKE及び、カラムアドレスストロブ信号バーCASをハイレベルにし、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、ライトイネーブル信号バーWE、及びA10をロウレベルにし、A11をセルフリフレッシュ中のバンクを示すレベルにする。図3では、A11をハイレベルにして、バンクBのセルフリフレッシュを終了させる。

【0048】これ以外にも、セルフリフレッシュを終了させる手順は、次のように実施される。図4乃至図6を参照して説明する。

【0049】図4において、セルフリフレッシュの開始と同様に、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS及びクロックイネーブル信号CKEがローレベルになり、かつライトイネーブル信号バーWEをハイレベルにし、A10をロウレベル、A11をセルフリフレッシュ中のバンクを示すレベルにする。

【0050】セルフリフレッシュ動作を終了させる手順の例は次の通りである。

【0051】時刻も8において、クロックイネーブル信号CKE、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCASをロウレベルにし、かつライトイネーブル信号バーWEをハイレベルにし、A10をロウレベル、A11をセルフリフレッシュ中のバンクを示すレベルにする。図4では、A11をハイレベルにして、バンクBのセルフリフレッシュを終了させる。

【0052】図5に於ける時刻も8において、モードレジスタ設定コマンドと同様に、チップセレクト信号バーCS、ロウアドレスストロブ信号バーRAS、カラムアドレスストロブ信号バーCAS、クロックイネーブル信号CKE及びライトイネーブル信号バーWEをロウレベルにし、A10をロウレベル、A11をセルフリフレッシュ中のバンクを示すレベルにする。図5では、A11をハイレベルにして、バンクBのセルフリフレッシュを終了させる。

【0053】図6に於ける時刻も8において、バーストストップコマンドと同様に、チップセレクト信号バーC

S及びライトイネーブル信号 $\overline{\text{WE}}$ をロウレベルにし、ロウアドレスストロブ信号 $\overline{\text{RAS}}$ 、カラムアドレスストロブ信号 $\overline{\text{CAS}}$ 、クロックイネーブル信号 CKE をハイレベルにし、A10をロウレベル、A11をセルフリフレッシュ中のバンクを示すレベルにする。図6では、A11をハイレベルにして、バンクBのセルフリフレッシュを終了させる。

【0054】なお、上記実施形態に於いては、ロウアドレスを元にして各種（オート、セルフ）リフレッシュ動作を行わせる構成としているが、カラムアドレスを元にして、同様のリフレッシュ動作を実行させる構成としてもよいことは言うまでもない。

【0055】また、上記実施形態は、2つのメモリバンクを有する同期型半導体記憶装置に於いて本発明を実施したものであるが、本発明は、3以上のメモリバンクを有する同期型半導体記憶装置に於いても同様に実施できるものであることは言うまでもない。当然のことであるが、この場合は、メモリバンク指定に2ビット以上を必要とする。

【0056】

【発明の効果】以上詳細に説明したように、本発明によって、オートリフレッシュされるバンクをモードレジスタの設定によって行なう必要がなくなり、オートリフレッシュコマンドの入力だけで指定したバンクをオートリフレッシュすることができ、極めて効率的である。

【0057】また、セルフリフレッシュされるバンクの指定を含むセルフリフレッシュ開始コマンド、及びセルフリフレッシュを終了するバンクの指定を含むセルフリフレッシュ終了コマンドを提供することにより、従来にない柔軟なセルフリフレッシュ動作が実現できるものである。

【0058】更に、本発明によれば、上記各リフレッシ

ュ動作を1サイクルで実行させることが可能となるものである。

【図面の簡単な説明】

【図1】本発明が適用されるシンクロナスDRAM（SDRAM）の一実施形態を示すブロック図である。

【図2】本発明が適用されるSDRAMのオートリフレッシュサイクルの一例を説明するためのタイミング図である。

【図3】本発明が適用されるSDRAMのセルフリフレッシュサイクルの一例を説明するためのタイミング図である。

【図4】本発明が適用されるSDRAMのセルフリフレッシュサイクルの他の例を説明するためのタイミング図である。

【図5】本発明が適用されるSDRAMのセルフリフレッシュサイクルの更に他の例を説明するためのタイミング図である。

【図6】本発明が適用されるSDRAMのセルフリフレッシュサイクルの更に他の例を説明するためのタイミング図である。

【図7】従来のSDRAMの一構成例を示すブロック図である。

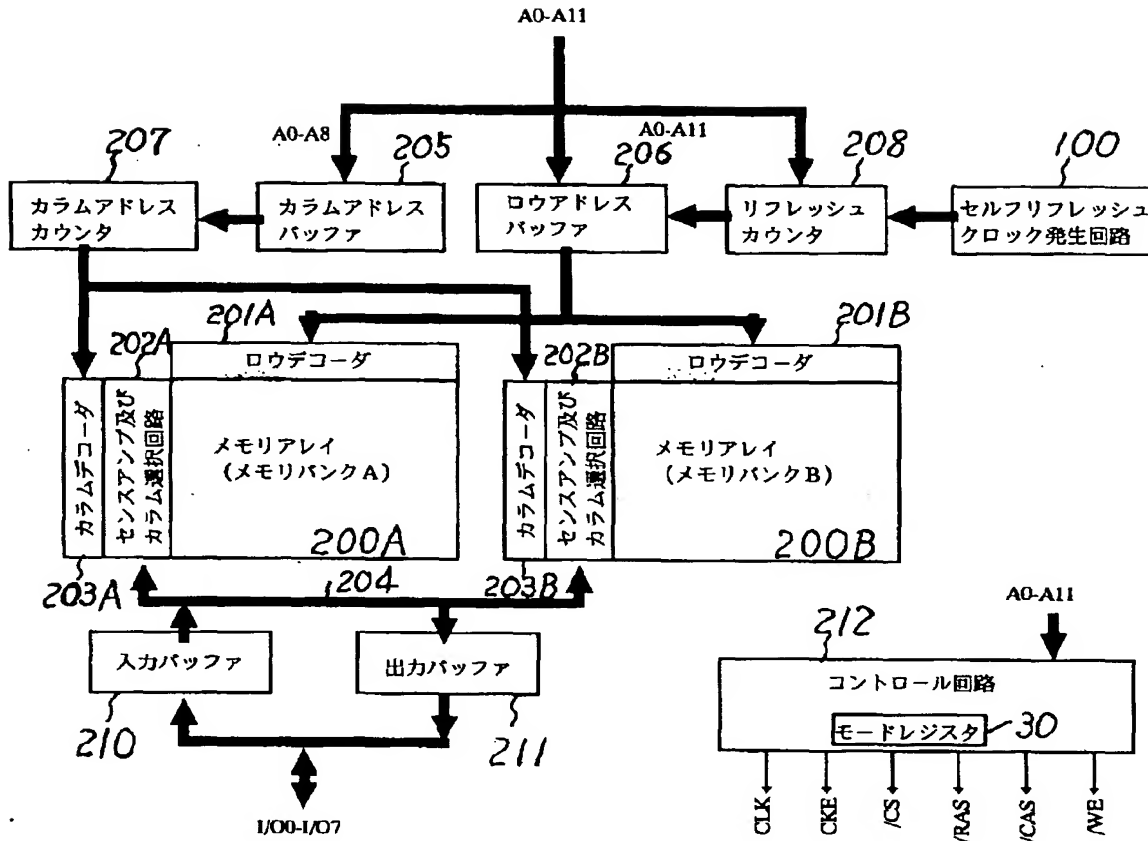
【図8】従来のSDRAMのオートリフレッシュサイクルの一例を説明するためのタイミング図である。

【図9】従来のSDRAMのセルフリフレッシュサイクルの一例を説明するためのタイミング図である。

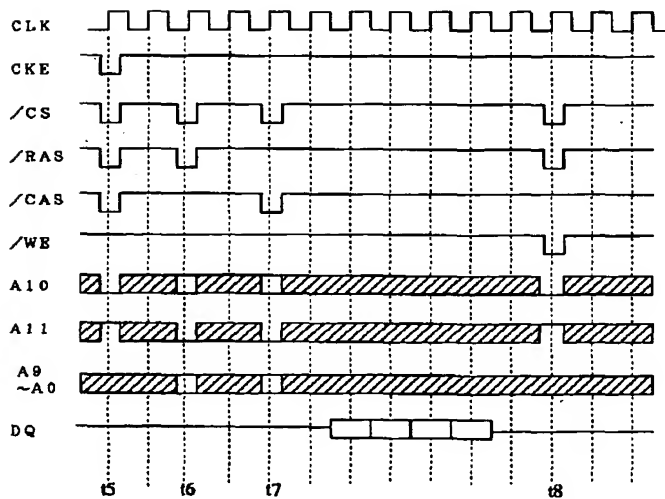
【符号の説明】

100	セルフリフレッシュクロック発生回路
200A	メモリバンクA
200B	メモリバンクB
212	コントロール回路

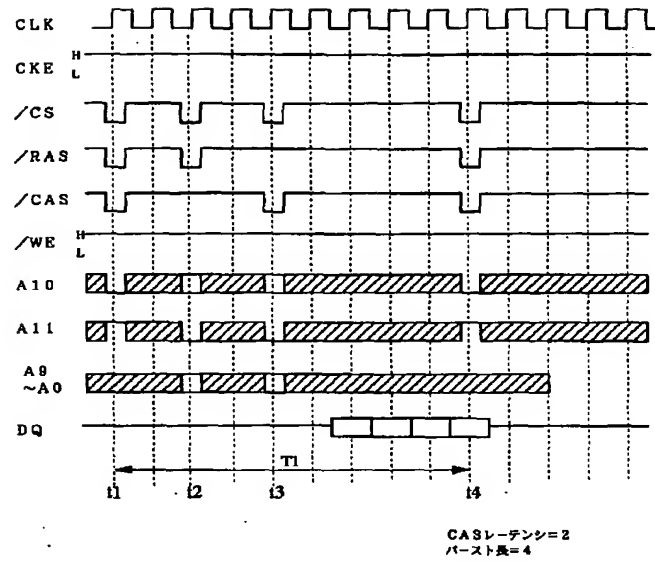
【図1】



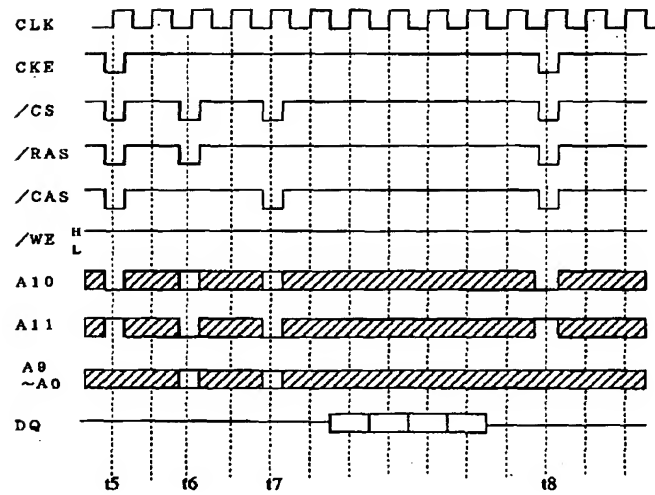
【図3】



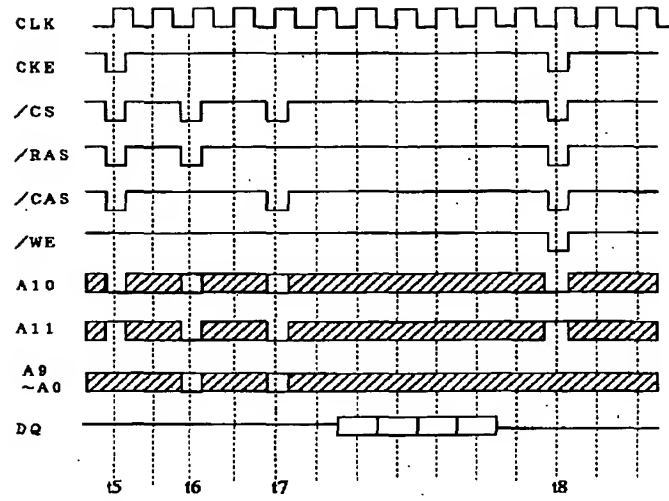
【図2】



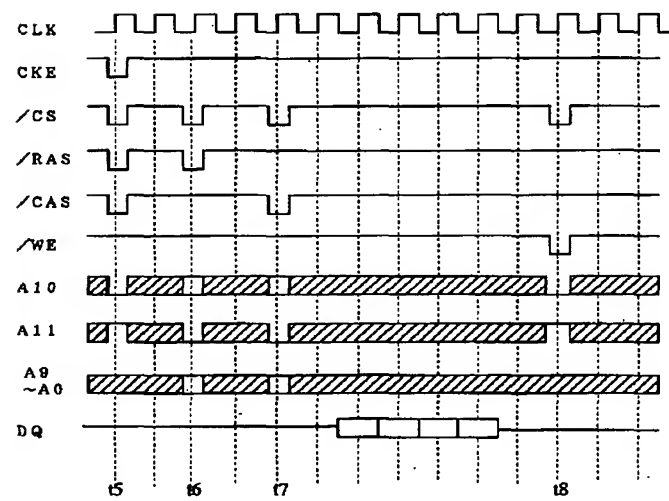
【図4】



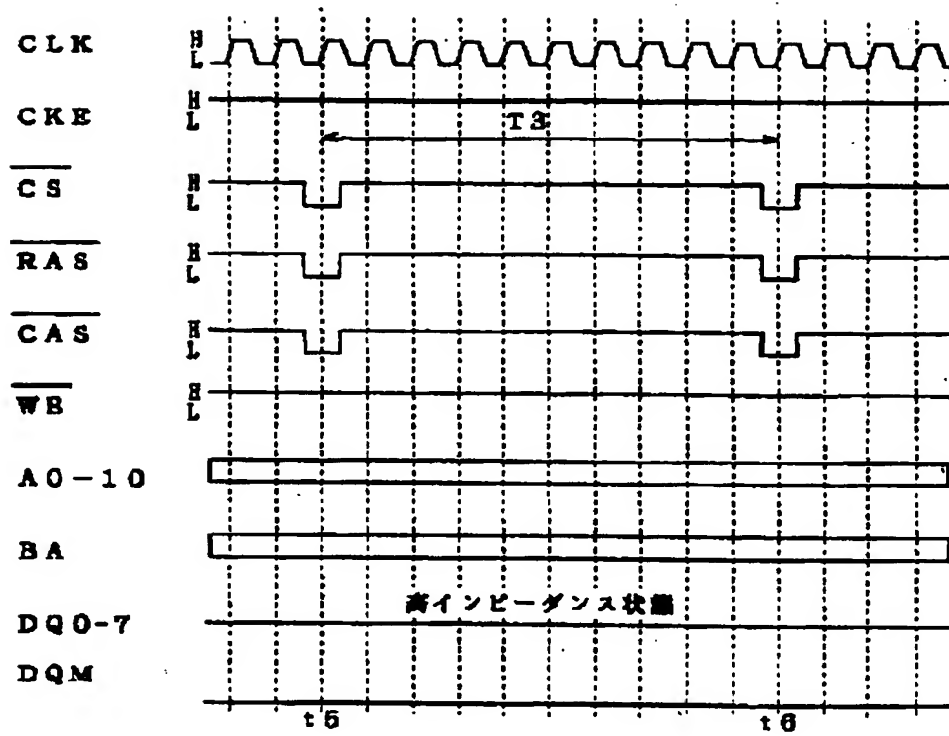
【図5】



【図6】



【図8】



【図9】

